



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001297996 A**(43) Date of publication of application: **26.10.01**

(51) Int. Cl. **H01L 21/265**  
**H01L 29/78**

(21) Application number: **2000112335**(71) Applicant: **NEC CORP**(22) Date of filing: **13.04.00**(72) Inventor: **MATSUDA TOMOKO**

(54) **MANUFACTURING METHOD OF CIRCUIT AND  
 MANUFACTURING DEVICE OF CIRCUIT,  
 ANNEALING CONTROL METHOD AND  
 ANNEALING CONTROL DEVICE AND  
 INFORMATION STORAGE MEDIUM**

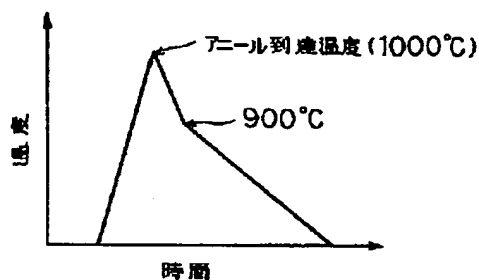
as the bonding of the impurities to the wafer is not  
 cut.

COPYRIGHT: (C)2001,JPO

## (57) Abstract:

PROBLEM TO BE SOLVED: To prevent useless diffusion of impurities in a silicon wafer as well while a stress in the silicon wafer is relaxed when the impurity-doped silicon wafer is subjected to spike annealing by an RTA method.

SOLUTION: A silicon wafer heated up to an annealing temperature is cooled down at a high speed at first and is cooled down finally at a low speed. As the cooling-down speed is low from the middle of cooling-down, a stress in the wafer is relaxed and as the cooling-down is high until the middle of cooling-down, heat energy enough to cut the bonding of impurities of its reduced solubility to the wafer does not work on the impurities and impurities are not uselessly diffused in the wafer





(19)日本国特許庁(JP)

## (12) 公開特許公報(A)

(11)特許出願公開番号  
特開2001-297996  
(P2001-297996A)

(43)公開日 平成13年10月26日(2001.10.26)

(51)Int.Cl. <sup>7</sup>	識別記号	FI	ターム(参考)
H01L 21/265 29/78	602	H01L 21/265 29/78	602B 5F040 301F 301S

審査請求 未請求 請求項の数14 OL (全 10 頁)

(21)出願番号 特願2000-112335(P2000-112335)

(22)出願日 平成12年4月13日(2000.4.13)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 松田 友子

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74)代理人 100088328

弁理士 金田 暢之 (外2名)

Fターム(参考) 5F040 DA10 DA13 DC01 EF02 FB02

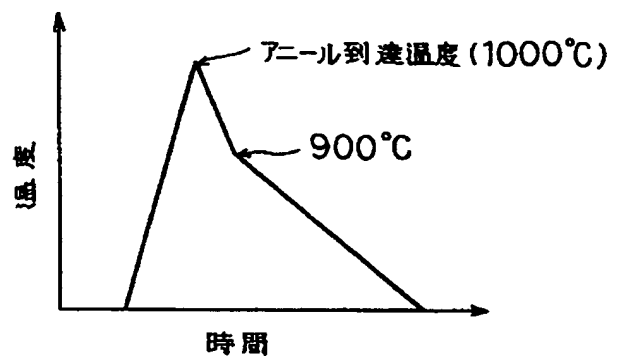
FB03 FC00

(54)【発明の名称】 回路製造方法および装置、アニール制御方法および装置、情報記憶媒体

## (57)【要約】

【課題】 不純物がドーブされたシリコンウェハをRTA法でスパイクアニールするとき、シリコンウェハのストレスを緩和しながら不純物の無用な拡散も防止する。

【解決手段】 アニール到達温度まで昇温したシリコンウェハを最初は高速で最後は低速となる速度で降温する。降温速度が途中から低速なのでストレスが緩和され、降温速度が途中まで高速なので固溶度が低下した不純物にシリコンウェハとの結合の切断に十分な熱エネルギーが作用せず、不純物はシリコンウェハとの結合が切断されないので無用に拡散しない。



**【特許請求の範囲】**

**【請求項1】** シリコン基板にドーパされた不純物をアニール処理により活性化し回路製造方法であって、前記シリコン基板を所定のアニール到達温度まで昇温し、このアニール到達温度まで昇温されたシリコン基板を最初は高速で最後は低速となる可変の速度で降温する回路製造方法。

**【請求項2】** シリコン基板にドーパされた不純物をアニール処理により活性化し、MOS (Metal Oxide Semiconductor) トランジスタのディープドーパのソース／ドレイン領域の内側のライトドーパの浅い一対の領域を形成する回路製造方法であって、前記シリコン基板を所定のアニール到達温度まで昇温し、このアニール到達温度まで昇温されたシリコン基板を最初は高速で最後は低速となる可変の速度で降温して前記ライトドーパの浅い一対の領域を形成する回路製造方法。

**【請求項3】** 前記シリコン基板をアニール到達温度から降温する速度を、温度低下により固溶度の低下した前記不純物に前記シリコン基板との結合を切断する熱エネルギーが作用しない速度とする請求項1または2に記載の回路製造方法。

**【請求項4】** 前記シリコン基板にドーパされた前記不純物がボロンの場合、前記シリコン基板を約1000(℃)のアニール到達温度まで昇温してから降温速度を約900(℃)で高速から低速に切り換える請求項1ないし3の何れか一項に記載の回路製造方法。

**【請求項5】** 前記シリコン基板を最初は50(℃/sec)以上の高速で降温して途中から25(℃/sec)以下の低速で降温する請求項4に記載の回路製造方法。

**【請求項6】** シリコン基板にドーパされた不純物をアニール処理により活性化し回路製造装置であって、前記シリコン基板を交換自在に保持するウェハ保持手段と、このウェハ保持手段により保持された前記シリコン基板を昇温するウェハ昇温手段と、前記ウェハ保持手段により保持された前記シリコン基板を降温するウェハ降温手段と、前記シリコン基板を前記ウェハ昇温手段に所定のアニール到達温度まで昇温させてから前記ウェハ降温手段に最初は高速で最後は低速となる可変の速度で降温させるアニール制御手段と、を具備している回路製造装置。

**【請求項7】** シリコン基板にドーパされた不純物をアニール処理により活性化し、MOS トランジスタのディープドーパのソース／ドレイン領域の内側のライトドーパの浅い一対の領域を形成する回路製造装置であって、前記シリコン基板を交換自在に保持するウェハ保持手段

と、

このウェハ保持手段により保持された前記シリコン基板を昇温するウェハ昇温手段と、前記ウェハ保持手段により保持された前記シリコン基板を降温するウェハ降温手段と、前記シリコン基板を前記ウェハ昇温手段に所定のアニール到達温度まで昇温させてから前記ウェハ降温手段に最初は高速で最後は低速となる可変の速度で降温させるアニール制御手段と、を具備している回路製造装置。

**【請求項8】** 前記アニール制御手段は、前記シリコン基板をアニール到達温度から前記ウェハ降温手段に降温させる速度を、温度低下により固溶度の低下した前記不純物に前記シリコン基板との結合を切断する熱エネルギーが作用しない速度とする請求項6または7に記載の回路製造装置。

**【請求項9】** 前記アニール制御手段は、前記シリコン基板にドーパされた前記不純物がボロンの場合、前記シリコン基板を前記ウェハ昇温手段に約1000(℃)のアニール到達温度まで昇温させてから前記ウェハ降温手段の降温速度を約900(℃)で高速から低速に切り換えさせる請求項6ないし8の何れか一項に記載の回路製造装置。

**【請求項10】** 前記アニール制御手段は、前記シリコン基板を前記ウェハ降温手段に最初は50(℃/sec)以上の高速で降温させて途中から25(℃/sec)以下の低速で降温させる請求項9に記載の回路製造装置。

**【請求項11】** 前記アニール制御手段は、前記シリコン基板を前記ウェハ降温手段に最初は最高速度で降温させる請求項6ないし10の何れか一項に記載の回路製造装置。

**【請求項12】** 不純物がドーパされたシリコン基板をウェハ昇温手段により昇温してからウェハ降温手段により降温するアニール処理により前記不純物を活性化し回路製造装置の動作を制御するアニール制御方法であって、前記シリコン基板を前記ウェハ昇温手段に所定のアニール到達温度まで昇温させてから前記ウェハ降温手段に最初は高速で最後は低速となる可変の速度で降温させるアニール制御方法。

**【請求項13】** 不純物がドーパされたシリコン基板をウェハ昇温手段により昇温してからウェハ降温手段により降温するアニール処理により前記不純物を活性化し回路製造装置の動作を制御するアニール制御装置であって、前記シリコン基板を前記ウェハ昇温手段に所定のアニール到達温度まで昇温させてから前記ウェハ降温手段に最初は高速で最後は低速となる可変の速度で降温させるアニール制御装置。

**【請求項14】** 不純物がドーパされたシリコン基板をウェハ昇温手段により昇温してからウェハ降温手段によ

り降温するアニール処理により前記不純物を活性化する回路製造装置の動作を制御するコンピュータが読取自在なソフトウェアが格納されている情報記憶媒体であって、

前記シリコン基板を前記ウェハ昇温手段に所定のアニール到達温度まで昇温させてから前記ウェハ降温手段に最初は高速で最後は低速となる可変の速度で降温させることを前記コンピュータに実行させるためのプログラムが格納されている情報記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコン基板にイオン注入された不純物をアニール処理により活性化する回路製造方法および装置、回路製造装置の動作を制御するアニール制御方法および装置、回路製造装置の動作を制御するコンピュータに各種の処理動作を実行させるためのプログラムがソフトウェアとして格納されている情報記憶媒体、に関する。

【0002】

【従来の技術】近年、ロジック回路などに利用されているMOSトランジスタでは、通常のソース／ドレイン領域の内側にライトドープのLDD(Lightly Doped Drain-Source)領域を追加することにより、ホットキャリアの発生を抑制するとともにブレイクダウン電圧の低下も防止していた。

【0003】しかし、現在のMOSトランジスタでは電源電圧も低下しているので上述のような目的の重要性は低下しており、LDD領域の不純物の濃度を上昇させて低抵抗化することが実施されている。これはエクステンション領域と呼称されており、通常のソース／ドレイン領域よりは低濃度であるが従来のLDD領域よりは高濃度に形成される。

【0004】このような構造のMOSトランジスタ10の一従来例を図6を参照して以下に説明する。まず、ここで一従来例として例示するpチャネルのMOSトランジスタ10では、シリコン基板11のn型領域の表面に所定パターンのゲート絶縁膜12とp型のゲート電極13とが順番に積層されており、これらゲート絶縁膜12とゲート電極13との両側にサイドウォール14が形成されている。

【0005】これらのサイドウォール14より外側のシリコン基板11の表層には、p型の一对のソース／ドレイン領域15が形成されており、これらソース／ドレイン領域15より内側のシリコン基板11の表層には、p型の一对のエクステンション領域16が一つのチャネル領域17を介して形成されている。

【0006】上述のような構造のMOSトランジスタ10は、ソース／ドレイン領域15より内側にエクステンション領域16が位置するので、従来のLDD構造と同様に、ホットキャリアの発生を抑制するとともにブレイ

クダウン電圧の低下も防止することができ、それでいて従来のLDD構造より低抵抗である。

【0007】なお、上述したMOSトランジスタ10では、例えば、ゲート絶縁膜12はシリコン基板11の熱酸化膜で形成されており、pチャネルとして機能するためにソース／ドレイン領域15やエクステンション領域16やゲート電極13にはボロンなどのp型の不純物が注入されている。

【0008】ここで、このようなMOSトランジスタ10を製造するトランジスタ製造方法を以下に簡単に説明する。まず、シリコン基板11の表面を熱処理して全域に熱酸化膜を形成し、この熱酸化膜の表面にゲート電極13を所定パターンで形成する。

【0009】このゲート電極13をマスクとした熱酸化膜のドライエッチングにより、ゲート電極13でマスクされていないシリコン基板11の表面から熱酸化膜を除去し、図7(a)に示すように、ゲート電極13の下方に残存する熱酸化膜によりゲート絶縁膜12を形成する。

【0010】つぎに、同図(b)に示すように、ゲート電極13をマスクとしてシリコン基板11の表層のエクステンション領域16の位置にp型の不純物をライトドープし、同図(c)に示すように、この不純物がイオン注入されたシリコン基板11の表面でゲート絶縁膜12とゲート電極13との両側にサイドウォール14を形成する。

【0011】つぎに、同図(d)に示すように、これらのサイドウォール14をマスクとしてシリコン基板11の表層のソース／ドレイン領域15の位置にp型の不純物をディープドープし、このようにシリコン基板11にイオン注入された不純物をアニール処理で活性化することでソース／ドレイン領域15やエクステンション領域16が形成され、図6に示すように、pチャネルのMOSトランジスタ10が完成される。

【0012】上述のようにソース／ドレイン領域15やエクステンション領域16を形成するためのシリコン基板11のアニール処理としては、現在ではRTA(Rapid Thermal Anneal)法が一般に採用されている。図8に示すように、このRTA法では、窒素やアルゴンの雰囲気中に配置したシリコン基板11を、約1000(°C)のアニール到達温度まで装置の最高速度で昇温してから常温まで最高速度で降温する。

【0013】このようにRTA法では昇温と降温とを最高速度で実行し、スパイクアニールとして昇温から降温に直接に移行するので、不純物の無用な拡散を防止することができ、シリコン基板11との接合の深度が浅く濃度が適正なエクステンション領域16を形成することができる。

【0014】なお、前述のような構造のMOSトランジスタ10の製造方法としては、図9に示すように、最初にサイドウォール14をマスクとしてシリコン基板11

のソース/ドレイン領域15の位置にp型の不純物をドーピングしてアニール処理し、サイドウォール14を除去してからゲート電極13をマスクとしてシリコン基板11のエクステンション領域16の位置にp型の不純物をライトドーピングし、サイドウォール14を再度形成してからアニール処理を再度実行する手法もある。

【0015】この場合、ソース/ドレイン領域15を活性化する第一回目のアニール処理はRTA法でなく通常の長時間のアニール処理とされるので、イオン注入による欠陥が良好に回復する。それでいて、エクステンション領域16を活性化する第二回目のアニール処理はRTA法とされるので、やはりエクステンション領域16の接合を浅く低抵抗とすることができる。

#### 【0016】

【発明が解決しようとする課題】上述のようにシリコン基板11にエクステンション領域16の不純物を活性化する場合、そのシリコン基板11をRTA法でアニール処理すればエクステンション領域16の接合を浅く低抵抗とすることができる。しかし、前述のように昇温と降温とを最高速度で実行するアニール処理では、シリコン基板11等の各部に作用するストレスが過大であり、各部に破損や剥離などの不良が発生することがある。

【0017】このような課題を解決するためには、図10に示すように、降温を低速とすることが可能である。しかし、図5(a)に示すように、アニール到達温度まで昇温されたシリコン基板11の温度が低下するとイオン注入されている不純物の固溶度も低下するが、同図(b)に示すように、降温が低速であるとシリコン基板11と不純物とに十分な熱エネルギーが作用することになる。

【0018】このため、降温が低速であると固溶度が低下した不純物にシリコン基板11との結合の切断に十分な熱エネルギーが作用することになり、不純物とシリコン基板11との結合が切断されることになる。この場合、エクステンション領域16の不純物が無用に拡散するので、そのシリコン基板11との接合の深度が深くなり抵抗も増加することになる。

【0019】例えば、前述のようにpチャネルのMOSトランジスタ10のp型のエクステンション領域16を形成する場合、現在ではイオン注入の加速電圧が“0.5(kV)”程度まで低減されており、エクステンション領域16の深度も“40(nm)”程度まで浅くなっている。このように接合の深度が極度に浅いエクステンション領域16では、上述のように降温が低速であると接合の深度の変化が顕著に発生することになる。

【0020】なお、上述のような課題はエクステンション領域16がn型となるnチャネルのMOSトランジスタ(図示せず)でも同様に発生し、アニール処理されるシリコン基板11の表面にシリコン酸化膜などのカバー膜(図示せず)が存在する場合も存在しない場合も同様に発生する。

【0021】本発明は上述のような課題に鑑みてなされたものであり、シリコン基板等の降温によるストレスを緩和しながらも、ソース/ドレイン領域とシリコン基板との接合を浅く低抵抗にすることができる回路製造方法および装置、このように回路製造装置の動作を制御するアニール制御方法および装置、このように回路製造装置の動作を制御するコンピュータのためのプログラムがソフトウェアとして格納されている情報記憶媒体、の少なくとも一つを提供することを目的とする。

#### 【0022】

【課題を解決するための手段】請求項1, 2, 6, 7, 12~14に記載の発明では、不純物がドーピングされたシリコン基板を所定のアニール到達温度まで昇温し、このアニール到達温度まで昇温されたシリコン基板を最初は高速で最後は低速となる可変の速度で降温する。従って、シリコン基板の降温の速度が途中から低速となるのでストレスが緩和され、シリコン基板の降温の速度が途中まで高速なので固溶度が低下した不純物にシリコン基板との結合の切断に十分な熱エネルギーが作用しない。このため、不純物とシリコン基板との結合が切断されず、シリコン基板にドーピングされている不純物が無用に拡散しない。

【0023】請求項3, 8に記載の発明では、温度低下により固溶度の低下した不純物にシリコン基板との結合を切断する熱エネルギーが作用しない速度で、シリコン基板がアニール到達温度から降温される。従って、アニール到達温度まで昇温されたシリコン基板の温度が低下してドーピングされている不純物の固溶度が低下しても、不純物にシリコン基板との結合の切断に十分な熱エネルギーが作用せず、不純物とシリコン基板との結合が切断されない。

【0024】請求項4, 9に記載の発明では、ドーピングされた不純物がボロンのシリコン基板を約1000(°C)のアニール到達温度まで昇温させてから、降温速度を約900(°C)で高速から低速に切り換える。従って、約1000(°C)のアニール到達温度まで昇温されたシリコン基板の温度が低下してドーピングされているボロンの固溶度が低下しても、ボロンにシリコン基板との結合の切断に十分な熱エネルギーが作用せず、ボロンとシリコン基板との結合が切断されない。

【0025】請求項5, 10に記載の発明では、シリコン基板を最初は50(°C/sec)以上の高速で降温させて途中から25(°C/sec)以下の低速で降温させる。従って、シリコン基板の降温の速度が途中から十分に低速となるのでストレスが緩和され、シリコン基板の降温の速度が途中まで十分に高速となるので、シリコン基板にドーピングされているボロンが無用に拡散しない。

【0026】請求項11に記載の発明では、ウェハ降温手段が最初は最高速度でシリコン基板を降温させる。従って、シリコン基板の降温の速度が途中まで十分に高速

となるので、シリコン基板にドーピングされているボロンが確実に無用に拡散しない。

【0027】なお、本発明で云う各種手段は、その機能を実現するように形成されていれば良く、例えば、所定の機能が発生する専用のハードウェア、所定の機能がプログラムにより付与されたコンピュータ、プログラムによりコンピュータの内部に実現された所定の機能、これらの組み合わせ、等を許容する。

【0028】また、請求項11に記載の発明で云う降温の最高速度とは、ウェハ降温手段に可能な降温の最高速度を意味しており、例えば、ウェハ降温手段がアニールガスを供給するガス供給装置の場合、そのアニールガスの供給速度を最高とすることを許容する。

【0029】また、本発明で云う情報記憶媒体とは、コンピュータに各種処理を実行させるためのプログラムがソフトウェアとして事前に格納されたハードウェアであれば良く、例えば、コンピュータを一部とする装置に固定されているROM(Read Only Memory)やHDD(Hard Disc Drive)、コンピュータを一部とする装置に着脱自在に装填されるCD(Compact Disc)-ROMやFD(Floppy Disc)、等を許容する。

【0030】また、本発明で云うコンピュータとは、ソフトウェアからなるプログラムを読み取って対応する処理動作を実行できる装置であれば良く、例えば、CPU(Central Processing Unit)を主体として、これにROMやRAM(Random Access Memory)やI/F(Interface)等の各種デバイスが必要により接続された装置などを許容する。なお、本発明でソフトウェアに対応した各種動作をコンピュータに実行させることは、各種デバイスをコンピュータに動作制御させることなども許容する。

#### 【0031】

【発明の実施の形態】本発明の実施の一形態を図1ないし図5を参照して以下に説明する。ただし、本実施の形態に関して前述した一従来例と同一の部分は、同一の名称を使用して詳細な説明は省略する。本実施の形態の回路製造装置20は、その主体であるアニール装置本体21とアニール制御手段でもあるアニール制御装置22とを具備しており、これらが接続コネクタ23により相互に接続されている。

【0032】アニール装置本体21は、ウェハ保持手段である保持テーブル201を具備しており、この保持テーブル201は、断熱気密手段である処理チャンバ202の内部に配置されている。保持テーブル201は、シリコン基板11を交換自在に保持し、処理チャンバ202は、保持テーブル201により保持されたシリコン基板11を外部から気密するとともに断熱する。

【0033】このシリコン基板11も、pチャネルのMOSトランジスタ10のp型のエクステンション領域16となる不純物としてボロンがイオン注入されており、このボロンは“0.5(kV)”の加速電圧で“40(nm)”の

深度までイオン注入されている。

【0034】処理チャンバ202は、上方および下方にウェハ昇温手段に相当する一対のランプユニット203が個々に配置されており、ウェハ降温手段に相当するガスユニット204が配管されている。ランプユニット203は、保持テーブル201により保持されたシリコン基板11を照明により昇温し、ガスユニット204は、保持テーブル201により保持されたシリコン基板11の位置に窒素やアルゴンからなるアニールガスを供給する。

【0035】アニール制御装置22は、いわゆるコンピュータシステムからなり、図3に示すように、コンピュータの主体となるハードウェアとしてCPU101を具備している。このCPU101には、バスライン102により、ROM103、RAM104、HDD105、FD106が交換自在に装填されるFDD(FD Drive)107、CD-ROM108が交換自在に装填されるCDドライブ109、キーボード110、マウス111、ディスプレイ112、通信I/F113、等のハードウェアが接続されており、この通信I/F113には、接続コネクタ23が接続されており、この接続コネクタ23にアニール装置本体21のランプユニット203とガスユニット204とが接続されている。

【0036】本実施の形態の回路製造装置20では、ROM103、RAM104、HDD105、交換自在なFD106、交換自在なCD-ROM108、等のハードウェアが情報記憶媒体に相当し、これらの少なくとも一個にアニール制御装置22の各種動作に必要な制御プログラムや各種データがソフトウェアとしてデータ記憶されている。

【0037】例えば、CPU101に各種の処理動作を実行させる制御プログラムは、FD106やCD-ROM108に事前に格納されている。このようなソフトウェアはHDD105に事前にインストールされており、アニール制御装置22の起動時にRAM104に複写されてCPU101に読み取られる。

【0038】このようにCPU101が適正なプログラムを読み取って対応する各種の処理動作を実行することにより、本実施の形態のアニール制御装置22は、アニール装置本体21のランプユニット203とガスユニット204との動作を統合制御する。

【0039】つまり、本実施の形態のアニール制御装置22は、シリコン基板11を所定のアニール到達温度まで昇温させるときは、ガスユニット204にアニールガスを低速に供給させながらランプユニット203を点灯させ、シリコン基板11をアニール到達温度から常温まで降温させるときは、ランプユニット203を消灯させてガスユニット204にアニールガスを高速に供給させる。

【0040】ただし、このようにガスユニット204の

ガス供給によりシリコン基板11を降温させるとき、アニール制御装置22は、温度低下により固溶度の低下した不純物にシリコン基板11との結合を切断する熱エネルギーが作用しないように降温の速度を可変する。

【0041】より具体的には、シリコン基板11にイオン注入された不純物がボロンの場合、アニール制御装置22は、昇温時にはガスユニット204にアニールガスを所定の低速で供給させながらランプユニット203を点灯させ、シリコン基板11を1000(°C)のアニール到達温度まで昇温させる。

【0042】このようにシリコン基板11が1000(°C)のアニール到達温度まで昇温されると、アニール制御装置22は直後に降温動作に移行し、ランプユニット203を消灯させるとともにガスユニット204のガス供給を最高速度とし、これで降温を50(°C/sec)以上の高速としてシリコン基板11を900(°C)まで降温させ、シリコン基板11の温度が900(°C)となるとガスユニット204によるガス供給を加減するなどして降温を25(°C/sec)以下の低速とする。

【0043】上述のようなアニール制御装置22の制御機能は、必要により各種のハードウェアを利用して実現されるが、その主体はRAM104等の情報記憶媒体に格納されたソフトウェアに対応して、コンピュータのハードウェアであるCPU101が機能することにより実現されている。

【0044】このようなソフトウェアは、例えば、シリコン基板11をランプユニット203に所定のアニール到達温度まで最高速度で昇温させてから、ガスユニット204に最初は高速で最後は低速となる可変の速度で降温させること、等の処理動作をCPU101等に行わせるための制御プログラムとしてRAM104等の情報記憶媒体に格納されている。

【0045】上述のような構成において、本実施の形態の回路製造装置20も、シリコン基板11にイオン注入されている不純物を活性化するためにアニール処理を実行する。その場合、図2に示すように、不純物がイオン注入されたシリコン基板11を処理チャンバ202の内部の保持テーブル201に保持させ、アニール制御装置22によりアニール装置本体21のランプユニット203とガスユニット204とを動作制御する。

【0046】すると、図1および図4に示すように、アニール制御装置22はランプユニット203によりシリコン基板11を所定のアニール到達温度まで最高速度で昇温させ(ステップS1)、シリコン基板11がアニール到達温度となると即座に降温が開始される(ステップS2)。

【0047】このため、シリコン基板11はRTA法でスパイクアニールとしてアニール処理されることになる。例えば、イオン注入された不純物がボロンの場合、シリコン基板11はランプユニット203により1000

(°C)のアニール到達温度まで昇温され、その直後にガスユニット204により降温される。

【0048】ただし、本実施の形態の回路製造装置20による回路製造方法では、最初はガスユニット204によるガス供給が全開とされて50(°C/sec)以上の高速でシリコン基板11が降温されるが(ステップS3)、このシリコン基板11の温度が900(°C)となると(ステップS4)、ガスユニット204によるガス供給が加減されて降温が25(°C/sec)以下の低速とされる(ステップS5)。

【0049】本実施の形態の回路製造装置20による回路製造方法では、上述のようにシリコン基板11の降温の速度が途中から低速となるので、そのストレスが緩和されて各部の破損や剥離などを防止することができる。それでいて、シリコン基板11の降温の速度が途中まで高速なので、固溶度が低下した不純物にシリコン基板11との結合の切断に十分な熱エネルギーが作用しない。

【0050】このため、不純物とシリコン基板11との結合が切断されることはなく、シリコン基板11にイオン注入されている不純物が無用に拡散しないので、不純物のシリコン基板11との接合を浅く維持して抵抗の増加も防止することができる。

【0051】ここで、本実施の形態の回路製造装置20による回路製造方法の降温のメカニズムを以下に簡単に説明する。図5(a)に示すように、アニール到達温度まで昇温されたシリコン基板11の温度が低下するとイオン注入されている不純物の固溶度も低下するので、不純物とシリコン基板11との結合が切断されやすくなる。

【0052】しかし、不純物とシリコン基板11との結合を切断するためには十分な熱エネルギーが必要であり、同図(b)に示すように、この熱エネルギーは必然的にシリコン基板11が高温であるほど大きくなる。つまり、不純物とシリコン基板11との結合は、固溶度の観点では低温ほど切断されやすく、熱エネルギーの観点では高温ほど切断されやすい。

【0053】本発明者が実際に調査したところ、前述のようにシリコン基板11に“0.5(kV)”の加速電圧で“40(nm)”の深度までボロンをイオン注入した場合、そのシリコン基板11とボロンとの結合を切断する所用時間は、900(°C)では約0.5(min)、800(°C)では約5.0(min)、700(°C)では約60(min)、であった。

【0054】従って、シリコン基板11の温度を1000(°C)から900(°C)まで降温する時間が0.5(min)以上であると、シリコン基板11とボロンとの結合は切断されることになり、同様に800(°C)まで降温させる時間が5.0(min)以上や、700(°C)まで降温させる時間が60(min)以上でも、シリコン基板11とボロンとの結合は切断されることになる。

【0055】換言すると、シリコン基板11の温度を1000(°C)から900(°C)まで降温する時間が0.5(min)より充



分に短時間ならば、シリコン基板11とボロンとの結合の切断を防止することができ、同様に800/700(°C)まで降温させる時間も5.0/60(min)より充分に短時間なら良いことになる。

【0056】そして、この温度と時間との関係に着目した場合、温度が低下するほど許容される時間は急激に増大しているので、アニール到達温度まで昇温したシリコン基板11の降温は、高温では高速が必要とされるが低温では低速で良いことになる。

【0057】そこで、この降温速度の変化割合を、温度低下により固溶度の低下した不純物にシリコン基板11との結合を切断する熱エネルギーが作用しない範囲で可能な限り降温を低速とすれば、シリコン基板11にイオン注入されている不純物が無用に拡散せず、シリコン基板11等のストレスを最小限にできる。ただし、1000(°C)もの高温から常温までシリコン基板11を降温するとき、その速度を温度に対応して無段階的に確に変化させることは実際には困難である。

【0058】そこで、本実施の形態の回路製造装置20による回路製造方法では、不純物がボロンの場合、最初はガスユニット204によるガス供給を全開として降温を50(°C/sec)以上の最高速度とし、シリコン基板11の温度が900(°C)まで降温されると降温を25(°C/sec)以下の低速とする。これで簡単な操作により降温速度の変化割合を疑似的に適正な状態とすることができるので、不純物のシリコン基板11との接合を浅く低抵抗としながら、シリコン基板11等のストレスを削減することができる。

【0059】なお、本発明は上記形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、上記形態ではシリコン基板11の温度が1000(°C)から900(°C)まで低下したことを検知して降温速度を切り換えることを想定したが、この降温速度の切り換えを時間に基づいて制御することも可能である。また、降温速度を低速に変更するとき、ガスユニット204によるアニールガスの供給速度を加減することを例示したが、これをランプユニット203の微弱な点灯とすることも可能である。

【0060】さらに、上記形態ではシリコン基板11を昇温するときも降温するときも同一のアニールガスを供給することを例示したが、昇温時と降温時でアニールガスを切り換えることも可能である。例えば、シリコン基板11を昇温するときには、アルゴンなどのシリコン基板11と反応しない第一のアニールガスを供給すれば、昇温されるシリコン基板11に窒化などの無用な反応が発生することを防止できる。

【0061】一方、シリコン基板11を降温するときには、窒素などの熱伝導率の高い第二のアニールガスを供給すれば、シリコン基板11を迅速に降温することができるので、さらに良好にエクステンション領域16の不

純物の無用な拡散を防止することができる。

【0062】また、上記形態ではアニール処理によりpチャネルのMOSトランジスタ10のp型の領域15、16を活性化することを例示したが、本発明のアニール処理は、nチャネルのMOSトランジスタのn型領域を活性化することや、CMOS(Complementary MOS)トランジスタのp型領域とn型領域とを同時に活性化することも可能であり、不純物がイオン注入されたシリコン基板であれば各種の回路に利用可能である。

【0063】さらに、上記形態でもアニール処理するシリコン基板11の表面にシリコン酸化膜などのカバー膜(図示せず)が存在しない場合を想定したが、これが存在しても良く、アニール処理の雰囲気中に酸素が存在しても良い。

【0064】また、上記形態ではRAM104等にソフトウェアとして格納されている制御プログラムに従ってCPU101が動作することにより、アニール制御装置22の各種機能として各種手段が論理的に実現されることを例示した。しかし、このような各種手段の各々を固有のハードウェアとして形成することも可能であり、一部をソフトウェアとしてRAM104等に格納するとともに一部をハードウェアとして形成することも可能である。

【0065】また、上記形態ではCD-ROM108等からHDD105に事前にインストールされているソフトウェアがアニール制御装置22の起動時にRAM104に複写され、このようにRAM104に格納されたソフトウェアをCPU101が読み取ることを想定したが、このようなソフトウェアをHDD105に格納したままCPU101に利用させることや、ROM103に事前に固定的に格納しておくことも可能である。

【0066】さらに、単体で取り扱える情報記憶媒体であるFD106やCD-ROM108にソフトウェアを格納しておき、このFD106等からHDD105やRAM104にソフトウェアをインストールすることも可能であるが、このようなインストールを実行することなくFD106等からCPU101がソフトウェアを直接に読み取って処理動作を実行することも可能である。

【0067】つまり、本発明のアニール制御装置22の各種手段をソフトウェアにより実現する場合、そのソフトウェアはCPU101が読み取って対応する動作を実行できる状態に有れば良い。また、上述のような各種手段を実現する制御プログラムを、複数のソフトウェアの組み合わせで形成することも可能であり、その場合、単体の製品となる情報記憶媒体には、本発明のアニール制御装置22を実現するための必要最小限のソフトウェアのみを格納しておけば良い。

【0068】例えば、既存のオペレーティングシステムが実装されているアニール制御装置22に、CD-ROM108等の情報記憶媒体によりアプリケーションソフ

トを提供するような場合、本発明のアニール制御装置22の各種手段を実現するソフトウェアは、アプリケーションソフトとオペレーティングシステムとの組み合わせで実現されるので、オペレーティングシステムに依存する部分のソフトウェアは情報記憶媒体のアプリケーションソフトから省略することができる。

【0069】また、このように情報記憶媒体に記述したソフトウェアをCPU101に供給する手法は、その情報記憶媒体をアニール制御装置22に直接に装填することに限定されない。例えば、上述のようなソフトウェアをホストコンピュータの情報記憶媒体に格納しておき、このホストコンピュータを通信ネットワークで端末コンピュータに接続し、ホストコンピュータから端末コンピュータにデータ通信でソフトウェアを供給することも可能である。

【0070】上述のような場合、端末コンピュータが自身の情報記憶媒体にソフトウェアをダウンロードした状態でスタンドアロンの処理動作を実行することも可能であるが、ソフトウェアをダウンロードすることなくホストコンピュータとのリアルタイムのデータ通信により処理動作を実行することも可能である。この場合、ホストコンピュータと端末コンピュータとを通信ネットワークで接続したシステム全体が、本発明のアニール制御装置22に相当することになる。

#### 【0071】

【発明の効果】請求項1, 2, 6, 7, 12~14に記載の発明では、不純物がドーブされたシリコン基板を所定のアニール到達温度まで昇温し、このアニール到達温度まで昇温されたシリコン基板を最初は高速で最後は低速となる可変の速度で降温することにより、シリコン基板の降温の速度が途中から低速となるので、シリコン基板や層膜などの各部のストレスを緩和して破損や剥離などを防止することができ、シリコン基板の降温の速度が途中まで高速なので、シリコン基板にドーブされている不純物の無用な拡散を防止することができ、不純物のシリコン基板との接合を浅く維持して抵抗の増加も防止することができる。

【0072】請求項3, 8に記載の発明では、温度低下により固溶度の低下した不純物にシリコン基板との結合を切断する熱エネルギーが作用しない速度で、シリコン基板がアニール到達温度から降温されることにより、不純物とシリコン基板との結合が切断されないの、シリコン基板にドーブされている不純物の無用な拡散を防止することができる。

【0073】請求項4, 9に記載の発明では、ドーブされた不純物がボロンのシリコン基板を約1000(°C)のアニール到達温度まで昇温させてから、降温速度を約900(°C)で高速から低速に切り換えることにより、簡単な操作でシリコン基板などのストレスを緩和しながらボロン

の無用な拡散を防止することができる。

【0074】請求項5, 10に記載の発明では、シリコン基板を最初は50(°C/sec)以上の高速で降温させて途中から25(°C/sec)以下の低速で降温させることにより、シリコン基板の降温の速度が途中から十分に低速となるので、シリコン基板や層膜などの各部のストレスを良好に緩和することができ、シリコン基板の降温の速度が途中まで十分に高速なので、ボロンの無用な拡散も良好に防止することができる。

【0075】請求項11に記載の発明では、ウェハ降温手段が最初は最高速度でシリコン基板を降温させることにより、シリコン基板の降温の速度が途中まで十分に高速となるので、シリコン基板にドーブされているボロンの無用な拡散を確実に防止することができる。

#### 【図面の簡単な説明】

【図1】本発明の実施の一形態の回路製造方法による温度変化を示す特性図である。

【図2】回路製造装置の全体構造を示す模式的な縦断正面図である。

【図3】アニール制御装置を示すブロック図である。

【図4】回路製造装置による回路製造方法を示すフローチャートである。

【図5】(a)は不純物の固溶度と温度との関係を示す特性図であり、(b)はシリコン基板と不純物との結合を切断するエネルギーと温度との関係を示す特性図である。

【図6】MOSトランジスタの内部構造を示す模式的な縦断正面図である。

【図7】MOSトランジスタを製造する方法の一例を示す工程図である。

【図8】従来の回路製造方法による温度変化の一例を示す特性図である。

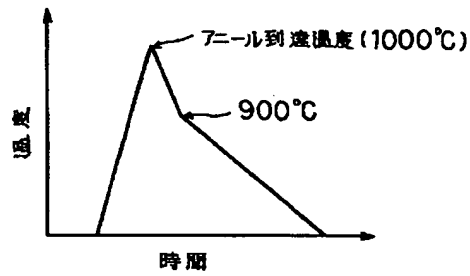
【図9】MOSトランジスタを製造する方法の他例を示す工程図である。

【図10】従来の回路製造方法による温度変化の他例を示す特性図である。

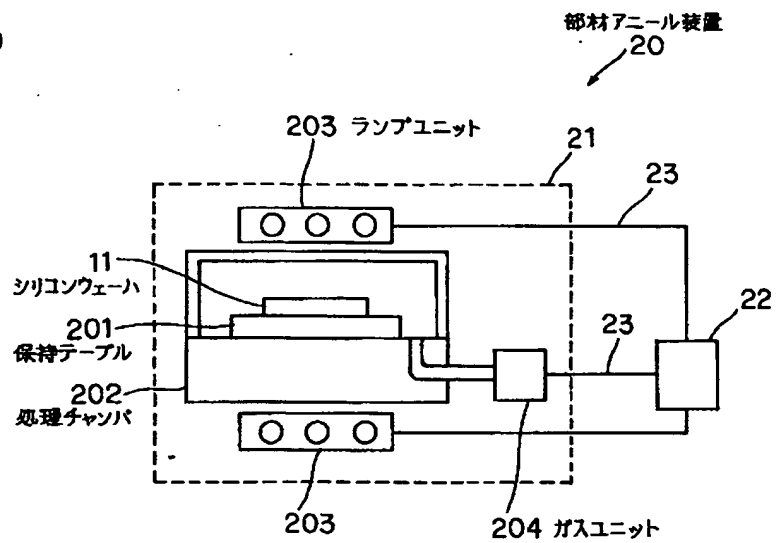
#### 【符号の説明】

- 11 シリコン基板
- 20 回路製造装置
- 21 回路製造装置の主体であるアニール装置本体
- 22 アニール制御手段でもあるアニール制御装置
- 101 コンピュータの主体であるCPU
- 103 情報記憶媒体であるROM
- 104 情報記憶媒体であるRAM
- 105 情報記憶媒体であるHDD
- 106 情報記憶媒体であるFD
- 108 情報記憶媒体であるCD-ROM
- 201 ウェハ保持手段である保持テーブル
- 203 ウェハ昇温手段に相当するランプユニット
- 204 ウェハ降温手段に相当するガスユニット

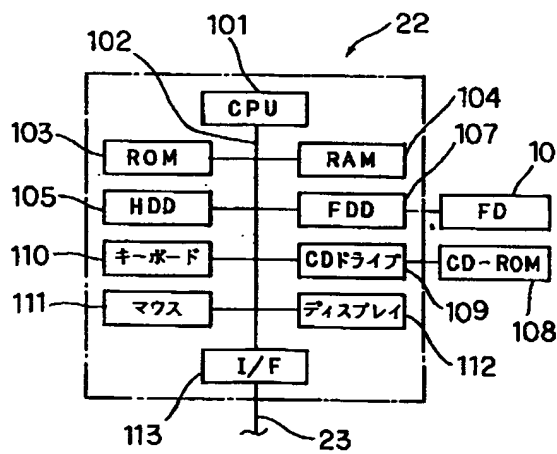
【図1】



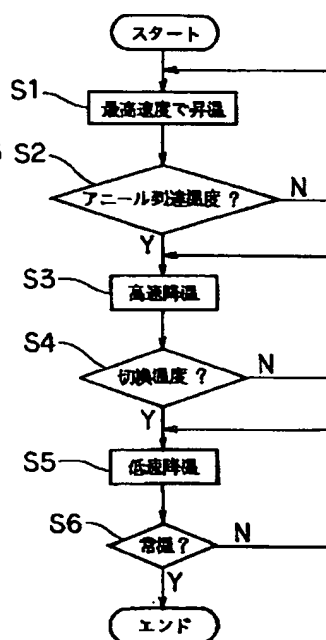
【図2】



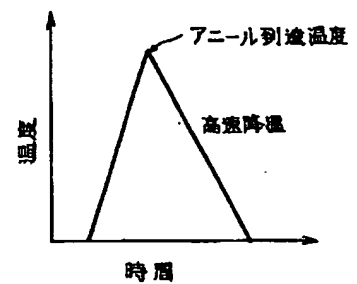
【図3】



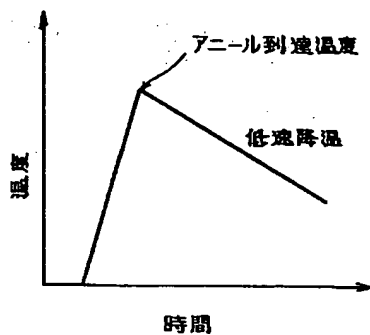
【図4】



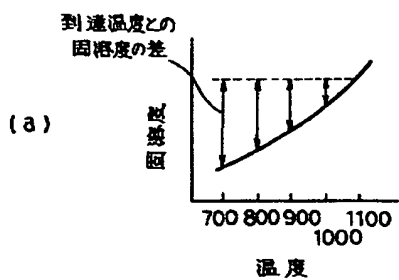
【図8】



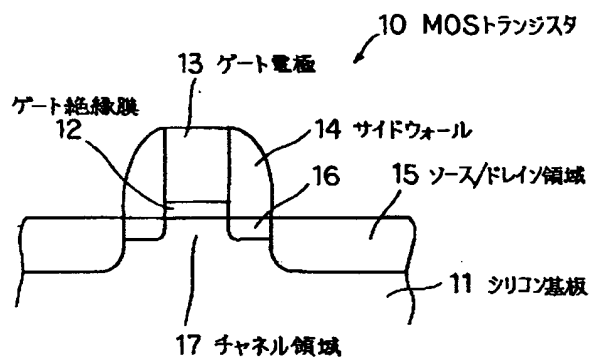
【図10】



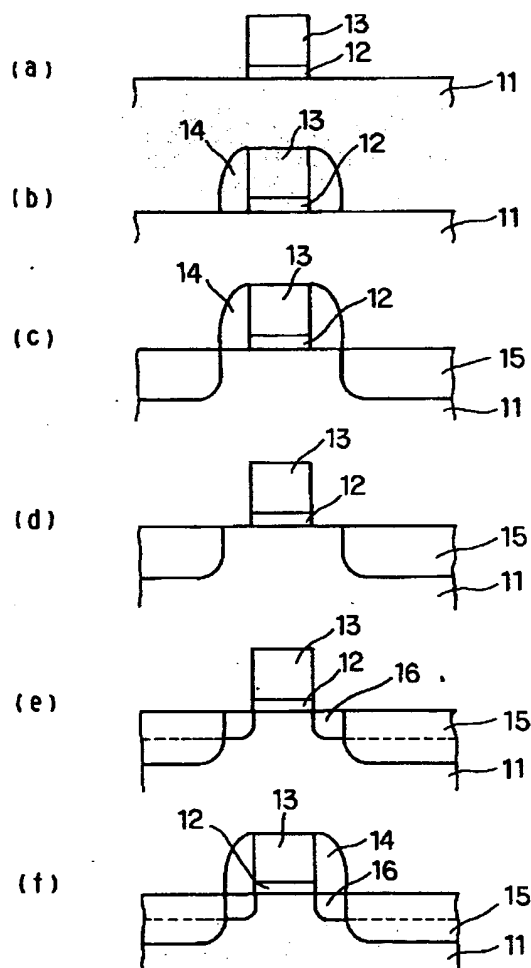
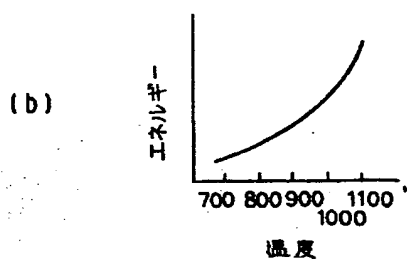
【図5】



【図6】



【図9】



【図7】

